

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION

Publication No. 51-28448

From page 2, lower right column, 9 line to page 3, upper right column, 15 line

The present invention attains decrease in a data transfer rate of a peripheral device relating to that of a processor, by omitting a part of a clock signal to be used as a synchronizing signal for transferring data at sending and receiving of data from the peripheral device to the controller or of that from the controller to the peripheral device, and then, using the rest of the clock signal as a nominal clock signal in the processor. In other words, the peripheral device operates at an inherent frequency of the clock signal thereof.

The Figure 2 schematically illustrates an outline of the present invention. In the drawing, reference number 1 denotes a processor, 6 denotes a peripheral device, 8 denotes a controller for controlling a transfer rate and 9 denotes a controller. The controller 8 for controlling a transfer rate omits a clock signal 1 of the peripheral device 6 at a predetermined ratio, and sends the rest of the clock signal to the controller 9 as a clock with a long period. Since a bit of read data, of which position corresponds to that of the omitted clock signal, is dummy data. The processor 1 does not read it.

As shown in Figure 3, the controller 8 for controlling a transfer rate is composed of a counter 11 for counting a clock signal, a decoder 12 for decoding an output thereof, and an inhibit circuit 13 for inhibiting the clock signal according to a decoded result thereof.

An operation of the present device will be described, using time charts of Figures 4 and 5. (The operation is an example with a 25% decreased ratio of rate.)

Figure 4 is a time chart shows data writing from the processor to the peripheral device. A reset signal sets the counter to be in an initial

condition. Outputs obtained by counting the clock signal 1 by reference number 9 is counter outputs 1 and 2. The counter outputs 1 and 2 are decoded by reference number 10 to issue an inhibit signal, and, the clock signal 1 is inhibited by reference number 11 to issue a clock signal 2. Further, write data is as indicated in the drawing, since the clock signal 2 is used in the controlling circuit and data is output at falling edges thereof. In the drawing, 101011001100100 is sent out as data. However, since the peripheral device fetches data preceding a bit for which the clock signal is inhibited, data to be written into the peripheral device is 101(1)011(1)001(1)100(0)100.

Figure 5 is a time chart in a case where the written data in Figure 4, is read out. Description will be omitted as to the reset signal, the clock signal 1, the counter output 1, the counter output 2, the inhibit signal and the clock signal 2 since they are the same as in Figure 4. 101(1)011(1)001(1)100(0)100(0) is read out from the peripheral device as has been written therein. The signal is fetched into the controller at the time of the clock signal 2, to obtain 101011001100100, which is the required data.



正

特 許 願 22

昭和 49 年 9 月 4 日

特許庁長官 殿

発 明 の 名 称 データ転送制御方式

発 明 者

住 所 愛知県尾張旭市晴丘町池上1番地
株式会社 日立製作所旭工場内
氏 名 高 藤 敏 和

特 許 出 願 人

住 所 東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所
代 理 人 吉 山 博 吉

代 理 人

住 所 東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所内
電 話 東京 270-2111 (大代表)
氏 名 (〒887) 弁護士 澤 田 利

49-100898

明 細 書

1 発 明 の 名 称 データ転送制御方式

2 特 許 請 求 の 範 囲

処理装置と該処理装置の処理能力を上まわるデータ転送速度をもつ周辺装置との間のデータ転送において、該2装置間のデータ転送を制御する制御装置に対して、前記周辺装置のクロック信号を一定規則に従って省いて与えて、データ転送を行なわしめることを特徴とするデータ転送制御方式。

3 発 明 の 詳 細 な 説 明

本発明は電子計算機システムにおける周辺装置と処理装置との間のデータ転送の制御方式に関する。

周辺装置のデータ転送速度が処理装置のデータ処理能力を上まわる場合、例えば旧形処理装置を使用しているユーザに対して新しい周辺装置を接続する要求が生じた場合においてこの速度の差を何らかの手段で解決することが必要である。

このために従来は次の方法がとられている。

一つはバッファレジスタを設ける方法である。

⑬ 日本国特許庁

公開特許公報

⑪特開昭 51-28448

⑬公開日 昭51.(1976) 3.10

⑫特願昭 49-100898

⑭出願日 昭49.(1974) 9. 4

審査請求 未請求 (全5頁)

庁内整理番号

6127 56

⑮日本分類

9770001

⑯ Int. Cl²

G06F 5/06

第1図にそのブロック図を示し、その動作を説明する。処理装置1から周辺装置6へデータを転送する場合についてみると、周辺装置6へ転送すべきデータは一旦バッファレジスタ2へ送られ格納されている。周辺装置6がデータを必要とする時間になつたらゲート3を通してバッファレジスタ2からシフトレジスタ4へデータを転送し、周辺装置6へと送出する。

それと同時に空となつたバッファレジスタ2へ処理装置1からデータを送出するべく動作にはいる。この方法によれば処理装置1は常にバッファレジスタ2が空になり、その時に周辺装置6へのデータ転送が必要となるまでにデータを送出すればよく、複数個のバッファレジスタ2が空となつたときは、そのバッファレジスタ2の数だけデータを転送すれば良い。この方法によればその制御装置が必要とするバッファレジスタの数は

$$N_{\text{buf}} = \frac{t_{\text{cmax}}}{t_{\text{pmin}}} \dots \dots \dots (1)$$

となる。

N_{buf} 必要とするバッファレジスタ数

t_{pmin}
 t_{pmin} : 周辺装置が単位データ量(処理装置から出力する単位データ量)を入力する為に要する時間の最小。

t_{comax}
 t_{comax} : そのシステムにおいて処理装置がデータ出力の起動を受けてから単位データ量のデータ出力を完了するまでの時間

次に周辺装置から処理装置へデータを転送する場合についてみると、周辺装置から出力されたデータはシフトレジスタ4に格納され、パツファレジスタ2に転送される。同時に処理装置1に対しデータを転送するべく起動をかける。次のデータが周辺装置からシフトレジスタ4に転送を完了しても他のパツファレジスタ2に格納しておき、すべてのパツファレジスタ2がデータであふれるまでに処理装置1がデータを入力すれば良い。

この方法によればその制御装置が必要とするパツファレジスタの数は

$$\frac{t_{comax}}{t_{pmin}} \geq \frac{t_{comax}}{t_{pmin}} \dots (2)$$

となる。

t_{pmin} : 必要とするパツファレジスタ数

レジスタ数が増加すると、単にそのハードウェアのみでなく、パツファレジスタを制御するための回路が増大する。

1台の制御装置を高速な周辺装置と同様のより低速な周辺装置に共用しようとする場合、高速な周辺装置に適した数のパツファレジスタを設けなければならぬので、低速な周辺装置に対しては無駄な回路をもつことになる。更には、ある周辺装置用に設計された制御装置により高速な周辺装置を稼働しようとする際、従来のパツファレジスタ数で不足の場合、パツファレジスタを増設しなければならぬ。そのため、新規に制御装置を設計しなければならぬ。

また、周辺装置の転送速度を低下させる方法では、周辺装置のデータ記録、再生部、回路部には磁気技術アナログ技術を用いていることが多く、転送速度を変更することによって回路及び部品定数の大幅変更が必要となる。

そのため周辺装置側における変更は新しい装置を開発することと同様の時間、費用を必要とすると

t_{pmin}
 t_{pmin} : 周辺装置が単位データ量(処理装置が入力する単位データ量)を出力する為に要する時間の最小。

t_{comax}
 t_{comax} : そのシステムにおいて処理装置がデータ入力の起動を受けてから単位データ量のデータ入力を完了するまでの時間

$$t_{comax} = t_{comax}$$

$$t_{pmin} = t_{pmin}$$

$$n = \frac{t_{comax}}{t_{pmin}} \dots (2)$$

このように周辺装置のデータ入出力間隔が処理装置に起動がかかっているからデータ転送を終了する最大時間よりも短いときはパツファレジスタを用いて、転送速度のマツデングをとつていた。

また他の方法としては処理装置の能力に合致するまで、又は妥協し得るパツファレジスタ数で処理可能な転送速度まで周辺装置の転送速度を低下させるものがある。

以上のような従来の方法には次のような欠点があつた。

パツファレジスタを設けた場合にはパツファレ

いう問題がある。

周辺装置は転送速度が向上するとともに記憶容量が増大しているのがほとんどである。本発明はこの記憶容量の増加分を利用して、周辺装置と処理装置との転送速度の違いによる問題をわずかのハードウェアの付加によつて容易に解決することのできるデータ転送制御方式を目的とするものである。

本発明は、周辺装置から制御装置へ、あるいは制御装置から周辺装置へのデータ授受の際にデータ転送の同期信号として用いるクロック信号の一部を省略し、残りをみかけ上のクロック信号として制御装置で使用することにより処理装置からみた周辺装置のデータ転送速度を低下するものである。すなわち周辺装置内ではその周波数固有のクロック信号周波数で動作する。

第2図に本発明の概略を示す。図中、1は処理装置、4は周辺装置、8は転送速度制御装置、9は制御装置を示している。転送速度制御装置8は周辺装置4のクロック信号1を所定の割合で省略

し、周期の長いクロックとして制御装置 9 へ送る。読み出しデータの前記省略されたクロック位置に対応するビットはダミーデータであつて、処理装置 1 側では読みとられない。

転送速度制御装置 8 は第 3 図に示すように、クロック信号を計数するカウンタ 11 と、その出力をデコードするデコーダ 12 さらにデコードした結果でクロック信号を禁止する禁止回路 13 によつて構成される。

本装置の動作を第 4 図および第 5 図のタイムチャートを用いて説明する。(この動作は速度低減率 25% の例である。)

第 4 図は処理装置から周辺装置へデータを送出する際のタイムチャートである。リセット信号はカウンタを初期状態に設定する信号である。クロック信号 1 を 9 にて計数した出力がカウンタ出力 1、カウンタ出力 2 である。カウンタ出力 1、カウンタ出力 2 を 10 にてデコードして禁止信号を発生し、11 にてクロック信号 1 を禁止しクロック信号 2 を発生する。制御回路ではクロック信号 2 をもち

い、その状態でデータを出力するため密込みデータは図のようになる。図では 101011001100100 をデータとして送出しているがクロック信号を禁止したところではそのビットの前のデータを周辺装置がとり込むため周辺装置に書き込むデータは 101011110010000000 を書き込む。

第 5 図は第 4 図で書き込まれたデータを読み出した場合のタイムチャートである。リセット信号、クロック信号 1、カウンタ出力 1、カウンタ出力 2、禁止信号、クロック信号 2 については第 4 図と同様であるので説明を省略する。周辺装置からは突然書き込まれたとおり 101011110010000010000 が読み出される。この信号をクロック信号 2 で制御装置にとりこむと 101011001100100 となり要求するデータを得る。

以上が本発明の一例である。

要求するデータ転送速度と、記憶容量を得るためには 9 のカウンタ段数と 10 の構成を変化し、転送速度低減率を設定すれば良い。

ある周辺装置のために設計された制御装置を利

用し、より高速な周辺装置を接続しようとするとき、その転送速度の違いのみで、接続を断念したり、あるいは、使用上の制限を受けて来た。また周辺装置自体を改造して転送速度を低下させることにより使用していた。

しかし本装置を採用することによつて、周辺装置を改造することなく、低速の周辺装置と同一の仕様で使用することが可能となる。

本発明に従えば、記憶容量の制限を受けない範囲内に転送速度低減率を設定することにより、周辺装置の転送速度を小さくして、バンプアドレス数の増加を防止できる。よつてハードウェアの低減を期待できる。

また、既存処理装置のデータ転送において、転送の起動から完了までの時間が長いとき、新しい高速な周辺装置の接続は制御装置のコストが増加や、使用上の制限を生じたがこの障害を防止することができる。

4 図面の簡単な説明

第 1 図は周辺装置の制御を示すブロック図、第

2 図は本発明の実施例を示す図、第 3 図は転送速度制御装置のブロック図、第 4 図および第 5 図は第 2 図装置の動作を示すタイムチャートである。

1 … 処理装置、6 … 周辺装置、8 … 転送速度制御装置、9 … 制御装置。

代理人弁理士 澤田利

図 1

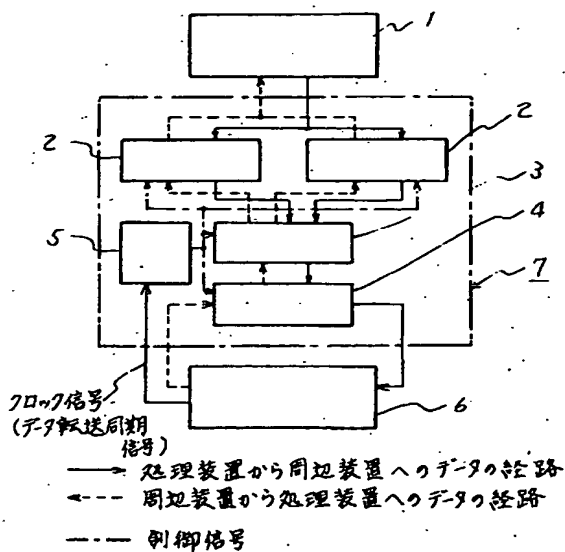


図 2

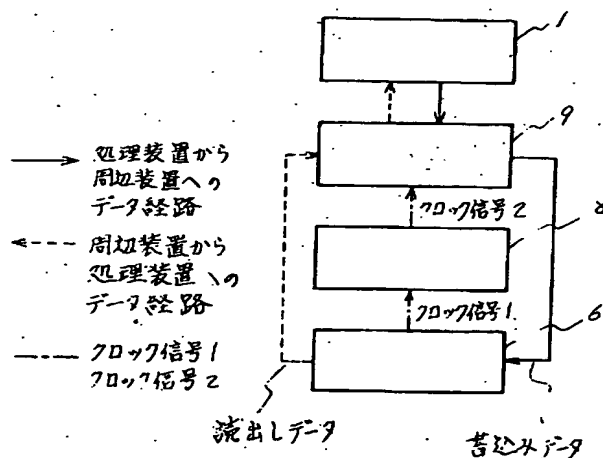


図 3

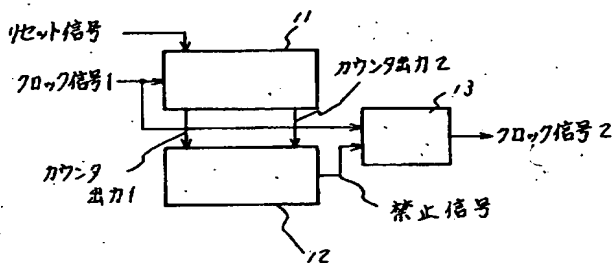


図 4

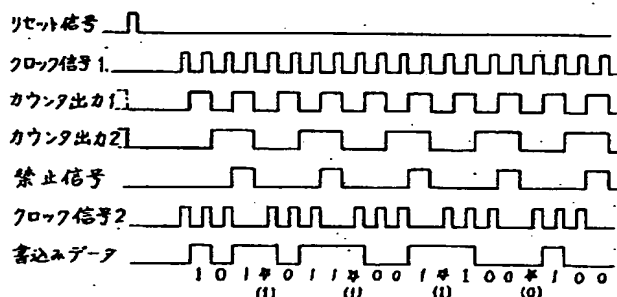
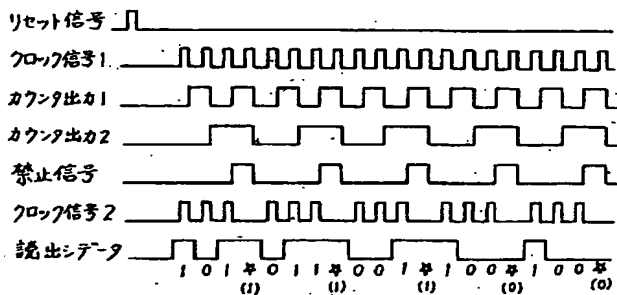


図 5



添附書類の目録

- (1) 明 細 書 1通
- (2) 図 面 1通
- (3) 要 求 書 1通
- (4) 特 許 出 願 本 1通

~~前記以外の発明者、特許出願人または代理大~~

発 明 者

姓 名

職 務